

Docket # 4685  
INV. S. Fujiwara et al.

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

USPS EXPRESS MAIL  
EV 415 086 349 US  
APRIL 20 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出 願 年 月 日                      2 0 0 3 年 1 2 月    1 日  
Date of Application:                December 1, 2003  
  
出 願 番 号                              特 願 2 0 0 3 - 4 0 1 5 5 7  
Application Number:                [ J P 2 0 0 3 - 4 0 1 5 5 7 ]  
[ST. 10/C]:

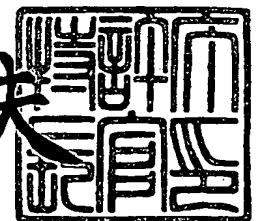
願                      人  
Applicant(s):                      住友電気工業株式会社  
Sumitomo Electric Industries, Ltd.

2 0 0 4 年    1 月 2 0 日  
January 20, 2004

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫

Yasuo Imai



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

USPS EXPRESS MAIL  
EV 415 086 349 US  
APRIL 20 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 3 年 1 2 月 1 日

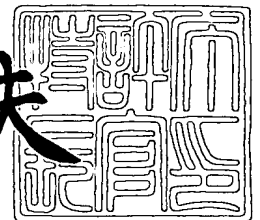
出 願 番 号  
Application Number: 特 願 2 0 0 3 - 4 0 1 5 5 7  
[ST. 10/C]: [ J P 2 0 0 3 - 4 0 1 5 5 7 ]

出 願 人  
Applicant(s): 住友電気工業株式会社

2 0 0 4 年 1 月 2 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願  
【整理番号】 1032081  
【提出日】 平成15年12月 1日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 33/00  
H01S 5/347

【発明者】  
【住所又は居所】 大阪市此花区島屋一丁目 1 番 3 号 住友電気工業株式会社 大阪  
製作所内  
【氏名】 藤原 伸介

【発明者】  
【住所又は居所】 大阪市此花区島屋一丁目 1 番 3 号 住友電気工業株式会社 大阪  
製作所内  
【氏名】 森 大樹

【発明者】  
【住所又は居所】 大阪市此花区島屋一丁目 1 番 3 号 住友電気工業株式会社 大阪  
製作所内  
【氏名】 中村 孝夫

【発明者】  
【住所又は居所】 大阪市此花区島屋一丁目 1 番 3 号 住友電気工業株式会社 大阪  
製作所内  
【氏名】 片山 浩二

【特許出願人】  
【識別番号】 000002130  
【住所又は居所】 大阪府大阪市中央区北浜四丁目 5 番 3 3 号  
【氏名又は名称】 住友電気工業株式会社

【代理人】  
【識別番号】 100064746  
【弁理士】  
【氏名又は名称】 深見 久郎

【選任した代理人】  
【識別番号】 100085132  
【弁理士】  
【氏名又は名称】 森田 俊雄

【選任した代理人】  
【識別番号】 100083703  
【弁理士】  
【氏名又は名称】 仲村 義平

【選任した代理人】  
【識別番号】 100096781  
【弁理士】  
【氏名又は名称】 堀井 豊

【選任した代理人】  
【識別番号】 100098316  
【弁理士】  
【氏名又は名称】 野田 久登

【選任した代理人】  
【識別番号】 100109162  
【弁理士】  
【氏名又は名称】 酒井 將行

## 【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 特許請求の範囲 1

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908053

## 【書類名】 特許請求の範囲

## 【請求項 1】

化合物半導体基板に形成され、n型クラッド層とp型クラッド層との間に活性層を有するII-VI族化合物半導体の発光素子であって、

前記活性層とp型クラッド層との間において、その活性層側に前記p型クラッド層のバンドギャップより大きいバンドギャップを有する半導体のバリア層を、また前記p型クラッド層側に前記p型クラッド層のバンドギャップより小さいバンドギャップを有する半導体のトラップ層とを備える、半導体発光素子。

## 【請求項 2】

前記バリア層と前記トラップ層との2層が複数重ねられた多重積層構造を有する、請求項1に記載の半導体発光素子。

## 【請求項 3】

前記n型クラッド層がn型 $Zn_{1-x}Mg_xS_ySe_{1-y}$  ( $0 < x < 1$ 、 $0 < y < 1$ ) 層であり、前記p型クラッド層がp型 $Zn_{1-x}Mg_xS_ySe_{1-y}$  ( $0 < x < 1$ 、 $0 < y < 1$ ) 層である、請求項1又は2に記載の半導体発光素子。

## 【請求項 4】

前記バリア層がBeを含むII-VI族化合物半導体である、請求項1～3のいずれかに記載の半導体発光素子。

## 【請求項 5】

前記バリア層が、 $Zn_{1-x-y}Mg_xBe_ySe$  ( $0 \leq x + y \leq 1$ 、 $0 < x$ 、 $0 < y$ ) である、請求項1～3のいずれかに記載の半導体発光素子。

## 【請求項 6】

前記トラップ層が $ZnS_xSe_{1-x}$  ( $0 \leq x \leq 0.1$ ) である、請求項1～5のいずれかに記載の半導体発光素子。

## 【請求項 7】

前記化合物半導体基板にn型ZnSe単結晶基板を用いた、請求項1～6のいずれかに記載の半導体発光素子。

## 【請求項 8】

前記化合物半導体基板にn型GaAs単結晶基板を用いた、請求項1～7のいずれかに記載の半導体発光素子。

【書類名】明細書

【発明の名称】半導体発光素子

【技術分野】

【0001】

本発明は半導体発光素子に関するものである。

【背景技術】

【0002】

ZnSe結晶は、その禁制帯幅（バンドギャップエネルギー）が室温で2.7 eVの直接遷移型の半導体であり、青から緑の波長域の発光素子の用途に広範な利用が期待されている。とくに1990年にプラズマ励起された窒素をドーピングすることによってp型ZnSeの成膜が可能であることが示されて以来、ZnSe系発光素子が脚光を浴びるようになった。

【0003】

本発明者らは、ZnSe基板を使用した新しい構成の白色LEDを考案し実用化を図っている。この白色LEDはn型ZnSe基板のSA（Self-Activated）発光を利用する素子である。具体的な発光素子110の構造は、図4に示すようにn型ZnSe基板101上に、バッファ層（n型ZnSe）102、n型クラッド層（n型ZnMgSe）103、活性層（ZnCdSe/ZnSe多重量子井戸）104、p型クラッド層（p型ZnMgSSe）105、コンタクト層（p型ZnSe上にZnSe/ZnTe超格子層）106を順に積層し、上記積層構造のトップにp電極（図示せず）を、またZnSe基板101の裏面にn電極（図示せず）を形成したものである。

【0004】

両電極間に通電して電流を注入し、活性層104で青色光（波長485 nm近辺）を発光させると、この青色光の一部はそのまま素子外に放出され、また一部は基板側に入射する。ZnSe基板101に入射した青色光は、ZnSe基板中のSAセンターを励起し、その結果SA発光が誘起される。このSA発光は590 nm近辺にピークを持つ発光であり、波長485 nmの青色光と適度な比率で混ぜ合わせることによって、人間の目には白色に見える光が得られる。上記のZnSe系白色LEDは、駆動電圧が2.7 V程度と低く、また発光効率も比較的高いことから、その応用が期待されている。

【0005】

しかしながら、ZnSe系発光素子はその寿命が短いという問題を有する。次に、ZnSe系発光素子の寿命について説明する。半導体発光素子では、光を発する活性層はn型半導体クラッド層とp型半導体クラッド層とに挟まれ、これら両方のクラッド層のバンドギャップより小さいバンドギャップを有する。発光の際に、n型クラッド層から電子を、またp型クラッド層から正孔を、それぞれ上記活性層に注入して、電子と正孔を結合させ、その結合により発光を生じさせる。n型クラッド層から活性層へ注入される電子は、主として次の経過を辿る。

【0006】

(1) ホール（正孔）と再結合して発光する。

【0007】

(2) p型クラッド層へリーク（オーバーフロー）し、p型クラッド層で非発光的再結合をする。

【0008】

上記(2)の割合が大きいと発光成分が減るため、発光素子(LED、LED)の光出力は小さくなる。上記(2)における問題を解消するためには、活性層側のp型クラッド層の電子に対するエネルギー障壁（ヘテロ障壁； $\Delta E_c$ ）を大きくすると、電子のリークを減らすことができる。この $\Delta E_c$ は、より具体的には、p型クラッド層の伝導帯の底のエネルギーと活性層内の電子の擬フェルミレベルの差である。 $\Delta E_c$ を正確に算出することは難しいが、この障壁を大きくするには以下の3つの方法がある。

【0009】

(1) p型クラッド層のバンドギャップと活性層のバンドギャップの差 $\Delta E_g$ を大きくする。

【0010】

(2) p型クラッド層のキャリア密度を増加して、p型クラッド層のフェルミレベルを下げる。

【0011】

(3) 活性層に注入する電流密度を下げる。

【0012】

上記のうち(3)の方法は、高強度の発光素子を実現する上で意味がない。上記(1)の方法として、たとえば、ZnSe系発光素子では、クラッド層にZnMgSSe層を用いることが提案されている(たとえば特許文献1参照)。上記ZnMgSSeを用いることにより、ZnSeと格子定数を合わせる条件下において、バンドギャップを4.4 eV程度まで大きくすることができる。

【特許文献1】特開平5-75217号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

しかしながら、ZnSe系化合物半導体の場合、上記(1)の方法と(2)の方法を独立に取扱うことができない。その理由は、ZnSe系に特有のドーピング特性にある。まずこれについて説明する。

【0014】

ZnSe系化合物半導体では、平衡状態におけるドーピングでは有効なp型ドーパントを導入することはできない。ZnSe系化合物半導体へのp型不純物導入はMBE法による低温成長下での窒素ドーピングにおいてのみ、可能であることが知られている。この窒素ドーピングはバンドギャップが大きくなるほど困難になり、バンドギャップが大きくなるほど到達しうる最高のp型キャリア密度が小さくなる。この原因としては、p型ドーパントである窒素のみをドーピングしたことによって、その半導体のバンドギャップが大きくなること、及びドナー性の欠陥(詳細はよくわかっていない)が形成されやすくなることにあると考えられている。

【0015】

上記の理由から、 $\Delta E_c$ を最大にする上で、p型クラッド層のバンドギャップに最適値があることが分かる。この最適値は、ドーピング技術にも左右されるので一概には言えないが2.9~3.0 eV近辺と考えられている。この最適値のバンドギャップで得られる $\Delta E_c$ が十分に大きく、電子のリークが十分に小さければ、何ら問題はない。しかし、残念ながらこのヘテロ障壁では大きさが不十分であり、無視できない量の電子がp型クラッド層にリークする。

【0016】

ZnSe系の発光素子における、上記とは別のさらに大きい問題は、p型クラッド層への電子のリークが発光効率を下げるだけでなく、発光素子の寿命を短くしてしまうことにある。この事情を以下に説明する。

【0017】

先に説明したようにZnSe系のII-VI族化合物半導体では、p型ドーピングの安定性が低く、p型キャリア密度を高くできないだけでなく、ドナー性の欠陥が形成されやすい。そのような特性に起因して、p型クラッド層にリークした電子がそこで正孔と再結合する際に放出されるエネルギーによって、p型クラッド層においてドナー性の欠陥が形成され、そのp型キャリア密度が減少してしまう。p型キャリア密度が減少すると、 $\Delta E_c$ も減少するため、電子のリークが加速され、さらにそのリークした電子がドナー性の欠陥を形成するという具合に悪循環に陥って、カタストロフィー的に発光効率が低下するに至る。そのため、ZnSe系の発光素子の寿命を長くすることは、これまで困難であるとされてきた。

## 【課題を解決するための手段】

## 【0018】

本発明の目的は、I I - V I 族化合物半導体によって形成された発光素子の寿命を伸長することにある。

## 【0019】

本発明の半導体発光素子は、化合物半導体基板に形成され、n型クラッド層とp型クラッド層との間に活性層を有するI I - V I 族化合物半導体の発光素子である。この半導体発光素子は、活性層とp型クラッド層との間において、その活性層側にp型クラッド層のバンドギャップより大きいバンドギャップを有する半導体のバリア層を、またp型クラッド層側にp型クラッド層のバンドギャップより小さいバンドギャップを有する半導体のトラップ層とを備える。

## 【0020】

上記構成によれば、バリア層を越えてリークしてきた電子の多くはp型クラッド層にたどり着く前にトラップ層内で欠陥にトラップされたり、正孔と再結合したりしてp型クラッド層にまでたどり着く電子は大幅に減少される。トラップ層がp型半導体の場合であっても、バンドギャップがp型クラッド層のそれより小さいので上記リークした電子が到達しても劣化の進行は遅い。

## 【発明を実施するための最良の形態】

## 【0021】

次に図面を用いて本発明の実施の形態について説明する。図1は、本発明の実施の形態における半導体発光素子のLED (Light Emitting Diode) を示す図である。この本発明例のLED 10の作製には、面方位(100)のn型ZnSe基板1を使用した。n型ZnSe基板1の上に下から順に、バッファ層のn型ZnSe膜2/n型クラッド層のn型ZnMgSSe層3/活性層の(ZnCd/ZnSe多重量子井戸)4/バリア層のZnMgBeSe層11/トラップ層のZnSe層12/p型クラッド層のp型ZnMgSSe層5/コンタクト層の(ZnTe/ZnSe超格子層/p型ZnSe層)6がエピタキシャル成膜されている。

## 【0022】

上記のエピタキシャル成膜はMBE (Molecular Beam Epitaxy)法を用いて行なった。n型ドーパントには塩素Clを、またp型ドーパントには窒素Nを用いた。n型クラッド層3及びp型クラッド層5のバンドギャップエネルギーは、ともに2.9 eVとし、バリア層11のバンドギャップエネルギーは3.1 eVとした。また、活性層4の発光波長は、485 nmになるようにCd組成を調整した。

## 【0023】

前記n型クラッド層3及びp型クラッド層の厚みは、ともに約0.5  $\mu\text{m}$ とし、また、バリア層11の厚みは約0.02  $\mu\text{m}$ とし、トラップ層12の厚みは約0.05  $\mu\text{m}$ とした。不純物濃度に関しては、p型クラッド層のp型不純物濃度は $3 \times 10^{16} / \text{cm}^3$ とし、トラップ層のp型不純物濃度は $3 \times 10^{17} / \text{cm}^3$ とした。上記のLEDには図示していないn電極及びp電極が設けられている。n型ZnSe基板1の裏面1aにTi/Au膜からなるn電極が、またコンタクト層6の上面6aに厚み10 nm程度の半透明のAu膜からなるp電極が、設けられている。上記のLEDの単位領域400  $\mu\text{m} \square$ をn型ZnSe基板上に形成し、その後、上記単位領域400  $\mu\text{m} \square$ にスクライブブレイクして個片化した。個片化されたチップをステム上にボンディングして、寿命評価するためのLED (本発明例) を作製した。

## 【0024】

図2は、図1に示すLEDにおけるn型クラッド層3/活性層4/バリア層11/トラップ層12/p型クラッド層5の部分のエネルギーバンド図である。このようなエネルギーバンド構造により、活性層からp型クラッド層へ向かおうとする電子は、まずバリア層11のポテンシャルにより妨げられる。しかしバリア層11を越えてリークした電子の多くはトラップ層12において欠陥にトラップされ、正孔と再結合して消滅する。したがっ



て、トラップ層 12 はシンクとして機能するということができる。このため、p 型クラッド層に辿り着く電子は大幅に減少される。なお、トラップ層 12 のバンドギャップの大きさは p 型クラッド層のそれより小さければよく、活性層のなかの大きいほうの層のバンドギャップに合わせる必要はない。

#### 【0025】

また比較のために、バリア層及びトラップ層を設けないこと以外は上記 LED と同じ、図 4 に示す積層構造を有する比較例の LED を作製した。

#### 【0026】

上記本発明例及び比較例の LED は次の試験条件で試験された。上記 LED に 70℃ で 15mA の一定電流を流しながら、輝度の低下の時間経過を測定した。試験結果は次のとおりであった。すなわち、比較例の LED では初期輝度の 70% まで低下するのに要する時間は 200～500 時間以上であり、平均するとおおよそ 350 時間であった。これに比して、本発明例の LED では、初期輝度の 70% まで低下するのに要する時間は 350～700 時間以上であり、平均するとおおよそ 500 時間であった。

#### 【0027】

上記の試験結果により、本発明の実施の形態に従う LED はその寿命を従来のものに比して約 40% 伸長できることが判明した。

#### 【0028】

次に、上述の実施の形態を含めて、本発明の実施の形態例を羅列的に説明する。

#### 【0029】

図 3 に示す LED では、活性層と p 型クラッド層との間に、バリア層及びトラップ層からなる部分が 2 つ積層された多重構積層造を配置している。このような多重積層構造により、より確実に p 型クラッド層への電子のリークを抑止することができ、半導体発光素子の一層の寿命伸長を図ることができる。

#### 【0030】

また、上記の n 型クラッド層が n 型  $Zn_{1-x}Mg_xSySe_{1-y}$  ( $0 < x < 1$ ,  $0 < y < 1$ ) 層であり、上記の p 型クラッド層が p 型  $Zn_{1-x}Mg_xSySe_{1-y}$  ( $0 < x < 1$ ,  $0 < y < 1$ ) 層であってもよい。上記の p 型  $Zn_{1-x}Mg_xSySe_{1-y}$  はバンドギャップの大きい化合物半導体であり、トラップ層から p 型クラッド層に入ってこようとする電子に対して、非常に有効とはいいがたいが障壁を形成することができる。したがって一定の寿命伸長効果を得ることができる。

#### 【0031】

また、上記のバリア層を Be を含む II-VI 族化合物半導体としてもよい。とくに上記のバリア層を、 $Zn_{1-x-y}Mg_xBe_ySe$  ( $0 \leq x + y \leq 1$ ,  $0 < x$ ,  $0 < y$ ) で構成してもよい。Be を含む II-VI 族化合物半導体、とくに  $Zn_{1-x-y}Mg_xBe_ySe$  は、価電子帯のトップはあまり変化させずに伝導帯のボトムを高くすることができる。このため、活性層から p 型クラッド層へリークしようとする電子に対して障壁を形成しながら、p 型クラッド層の側から活性層に向かう正孔に対しては障壁とならず、正孔注入による発光を阻害しないようにできる。

#### 【0032】

また、上記のトラップ層を  $ZnS_xSe_{1-x}$  ( $0 \leq x \leq 0.1$ ) で構成してもよい。上記  $ZnS_xSe_{1-x}$  ( $0 \leq x \leq 0.1$ ) により、p 型クラッド層のバンドギャップより小さいバンドギャップのトラップ層を良好な結晶性を保ってエピタキシャル成長させることができる。また、その上に形成されるエピタキシャル p 型クラッド層の結晶性も良好にすることができる。なお、上記  $ZnS_xSe_{1-x}$  ( $0 \leq x \leq 0.1$ ) は、 $ZnSe$  を含むことは言うまでもない。

#### 【0033】

上記実施の形態に示したように、化合物半導体基板に n 型  $ZnSe$  単結晶基板を用いることができる。この構成により良好な結晶性のエピタキシャル膜の積層構造を得ることができる。また、化合物半導体基板に n 型  $GaAs$  単結晶基板を用いてもよい。一定レベル

以上の半導体発光素子を効率よく大量にかつ安価に得ることができる。n型GaAs単結晶基板を用いた場合には、結晶の格子定数の関係からトラップ層にはSを含むZnSSeを用いるのが好ましい。

#### 【0034】

上記実施の形態では、トラップ層はp型半導体層のみを例示したが、不純物を実質的に含まないアンドープ層（p型及びn型によらず残留する不純物は含んでもよい）であつてもよい。またバリア層については、不純物については言及しなかったが、不純物を実質的に含まないアンドープ層（p型及びn型によらず残留する不純物は含んでもよい）であつてもよい。

#### 【0035】

トラップ層の厚みとバリア層の厚みとは、大小関係はとくに限定しなくてもよいが、機能上、バリア層はポテンシャル障壁を形成し、トラップ層は移動中の電子をトラップするので、トラップ層のほうがバリア層より厚いほうが望ましい。

#### 【0036】

また、上記実施の形態ではLEDについてのみ紹介したが、II-V族化合物半導体を用いた発光素子であればどのようなものにも用いることができる。たとえばLD (Laser Diode) に用いてもよい。

#### 【0037】

上記において、本発明の実施の形態について説明を行なったが、上記に開示された本発明の実施の形態はあくまで例示であつて、本発明の範囲はこれら発明の実施の形態に限定されない。本発明の範囲は、特許請求の範囲の記載によって示され、さらに特許請求の範囲の記載と均等の意味および範囲内でのすべての変更を含むことを意図するものである。

#### 【産業上の利用可能性】

#### 【0038】

本発明のZnSe系発光素子は、リーク感受性の小さいp型クラッド層へのリーク抑止手段であるバリア層及びトラップ層を組み合わせる配置することにより、II-V族化合物半導体に特有のリークにともなう累積的結晶変質を被ることがない。このため、電子のリークを安定して抑制することができ、寿命が長く発光効率のよい照明を安価に行なうことが可能になるので、各種の照明装置に広範に適用することが期待される。

#### 【図面の簡単な説明】

#### 【0039】

【図1】 本発明の実施の形態におけるLEDを示す図である。

【図2】 図1に示すLEDのエネルギーバンドを示す図である。

【図3】 本発明の実施の形態における別のLEDを示す図である。

【図4】 従来のLEDを示す図である。

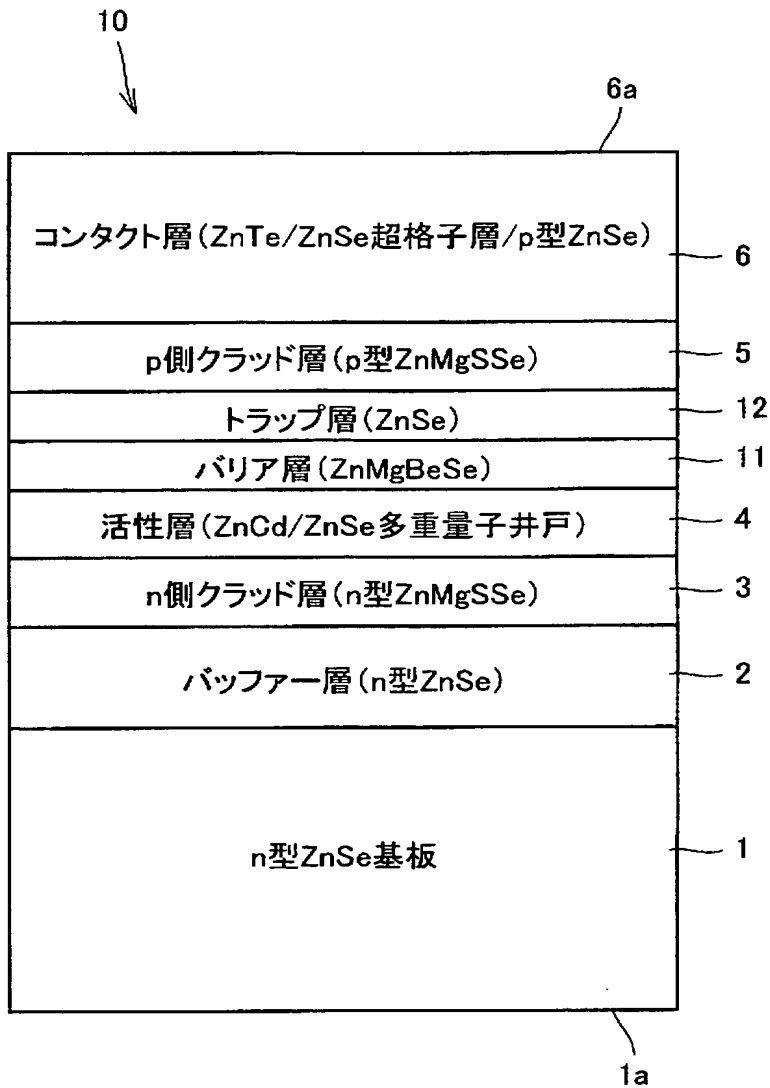
#### 【符号の説明】

#### 【0040】

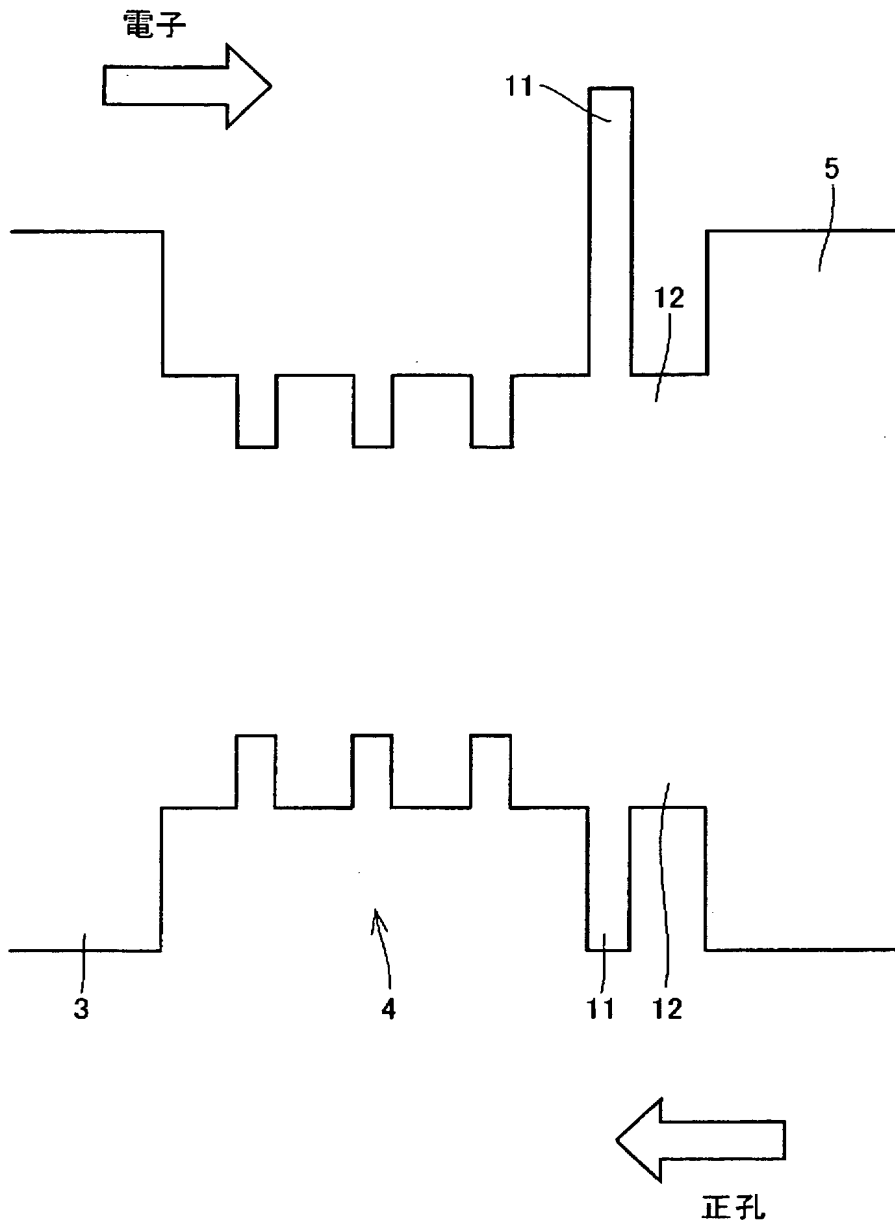
1 n型ZnSe単結晶基板、1a 基板の裏面、2 バッファ層のn型ZnSe膜、3 n型クラッド層のn型ZnMgSSe層、4 活性層の(ZnCd/ZnSe多重量子井戸)、5 p型クラッド層のp型ZnMgSSe層、6 コンタクト層の(ZnTe/ZnSe超格子層/p型ZnSe層、6a コンタクト層の上面、10 LED、11, 11a, 11b バリア層のZnMgBeSe層、12, 12a, 12b トラップ層のZnSSe層。

【書類名】 図面

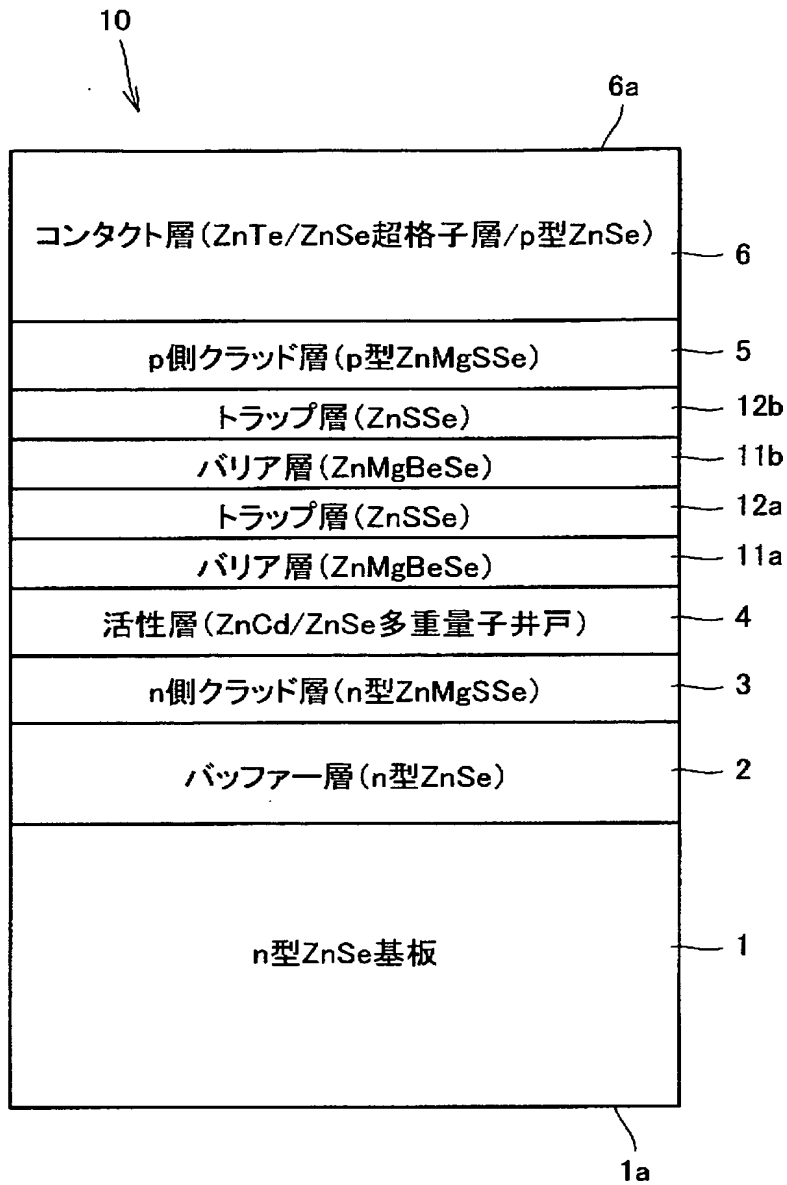
【図 1】



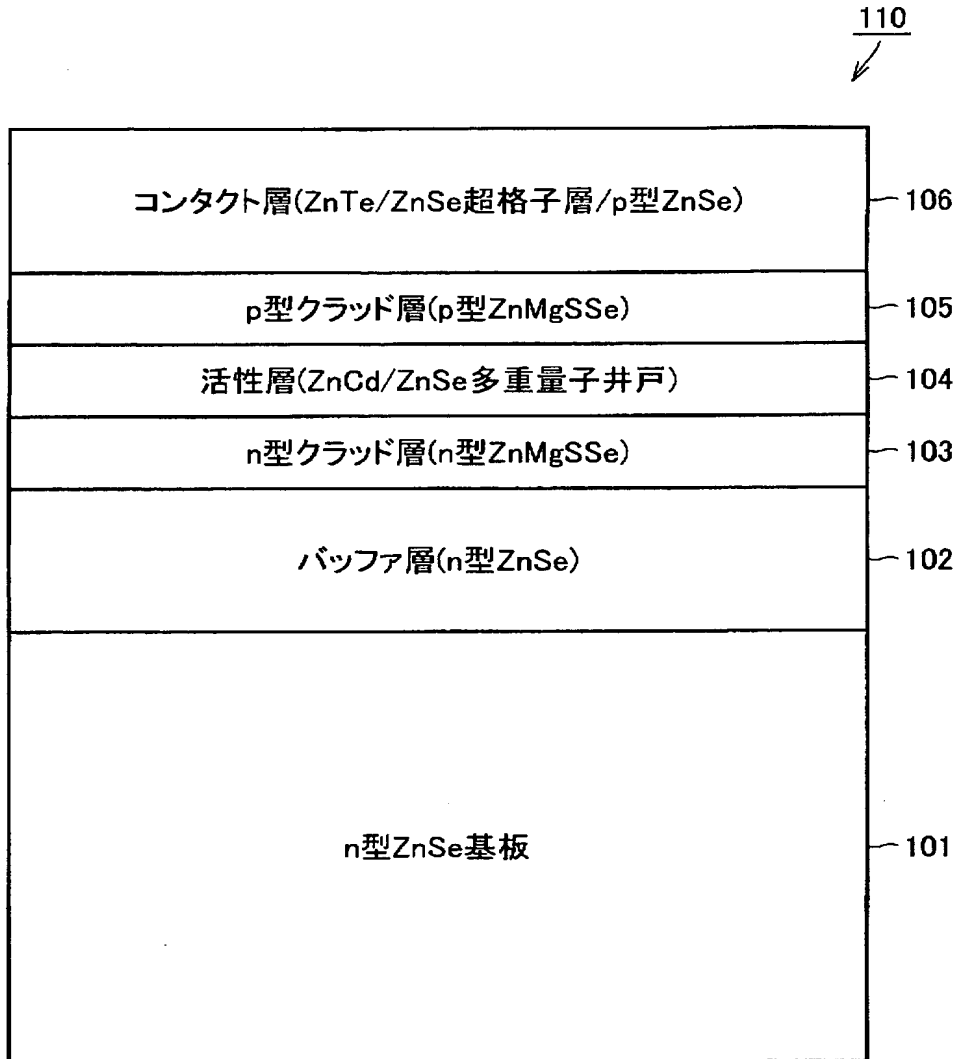
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 I I - V I 族化合物半導体によって形成された発光素子の寿命を伸長する。

【解決手段】 n 型 Z n S e 単結晶基板 1 に形成され、n 型クラッド層 3 と p 型クラッド層 5 との間に活性層 4 を有する I I - V I 族化合物半導体の L E D 1 0 であって、活性層と p 型クラッド層との間において、その活性層側に p 型クラッド層のバンドギャップより大きいバンドギャップを有する半導体のバリア層 1 1 を、また p 型クラッド層側に p 型クラッド層のバンドギャップより小さいバンドギャップを有する半導体のトラップ層 1 2 とを備える。

【選択図】 図 1

特願 2 0 0 3 - 4 0 1 5 5 7

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 2 1 3 0 ]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	大阪府大阪市中央区北浜四丁目 5 番 3 3 号
氏 名	住友電気工業株式会社